

## 要 約 (ABSTRACT)

本発明のデジタルPLL装置は、第1の同期タイミング信号または第2の同期タイミング信号の一方を選択するセレクタと、このセレクタによって選択された同期タイミング信号と内部同期タイミング信号との位相差に対応した位相補正值を出力する比較手段と、安定動作時点での前記比較手段からの位相補正值を記憶し、第1の同期タイミング信号が障害になったときから第2の同期タイミング信号に切替えるまでの期間、前記位相補正值に基づいて高精度の位相補正を伴うホールドオーバー動作を実行する。

10  
09875255-060701